

Clase 17 - El transistor de efecto de campo de juntura (JFET)

Contenido:

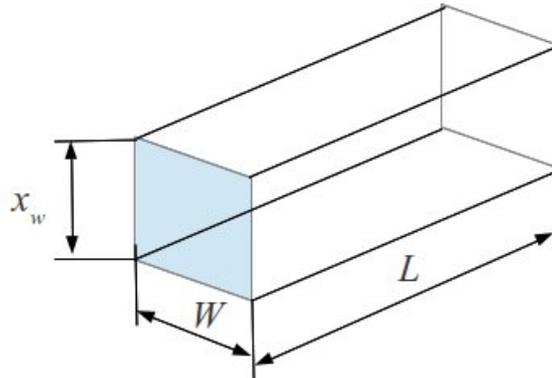
1. Estructura del JFET
2. Características eléctricas del JFET
3. Expresiones de control de corriente
4. Modelo de pequeña señal

Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 4, §§4.5.
- Gray, Hurst, Lewis, Meyer, “Analysis and Design of Analog Integrated Circuits”, Ch. 1, §§1.5–1.6.

1. Estructura de un JFET

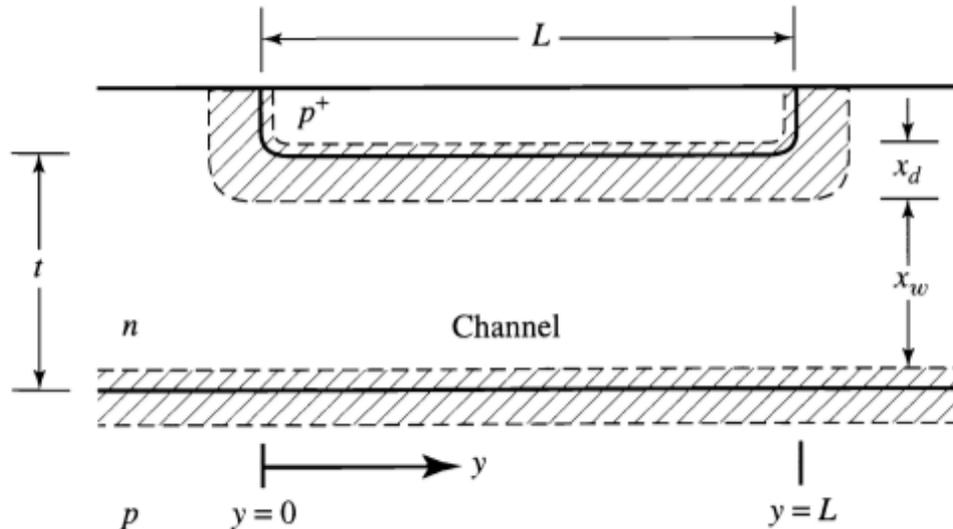
Resistencia de un canal de Si de longitud L , ancho W , espesor x_w y resistividad ρ



$$R = \frac{\rho L}{Area} = \frac{\rho L}{x_w W}$$

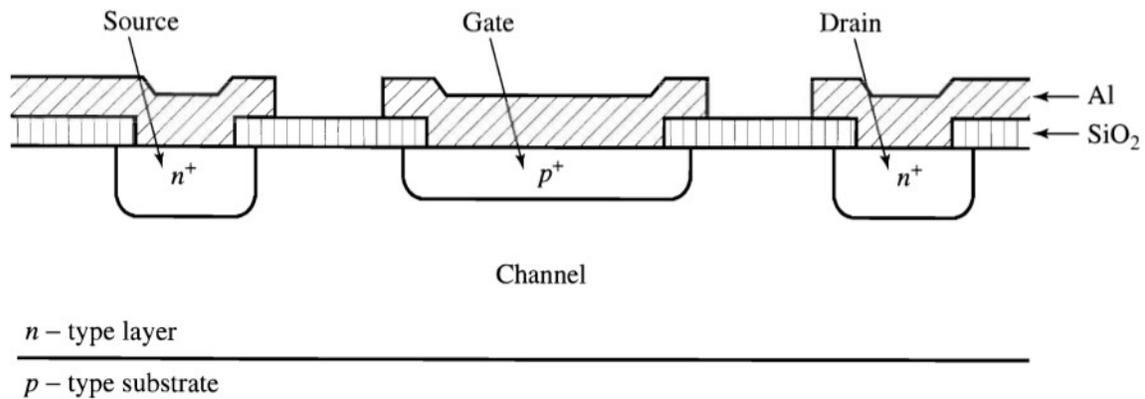
Si logramos modular el área haciendo menos alto el canal (reduciendo x_w), podremos modular su resistencia.

Se puede proponer la siguiente estructura para implementar la idea anterior:



Donde las zonas desiertas de las junturas PN en inversa modulan el espesor x_w del canal de silicio tipo n.

Con algunas modificaciones se obtiene un dispositivo. Se deben agregar difusiones a ambos lados y los contactos eléctricos que se llaman Drain, Source y Gate:



Si se aplica una tensión V_{DS} pequeña, se puede calcular la corriente del canal (entrante al Drain) como:

$$I_D = \frac{V_{DS}}{R} = \left(\frac{W}{L} \right) (q \mu_n N_d x_w) V_{DS}$$

$$x_w = t - x_d$$

Pero

$$x_d = \sqrt{\frac{2 \epsilon_{Si}}{q N_D} (\phi_B - V_G)}$$

Reemplazando:

$$I_D = \frac{W}{L} q \mu_n N_d t \left(1 - \sqrt{\frac{2 \epsilon_{Si}}{q N_d t^2} (\phi_B - V_G)} \right) V_{DS}$$

Donde se puede definir la conductancia sin tensión aplicada G_0

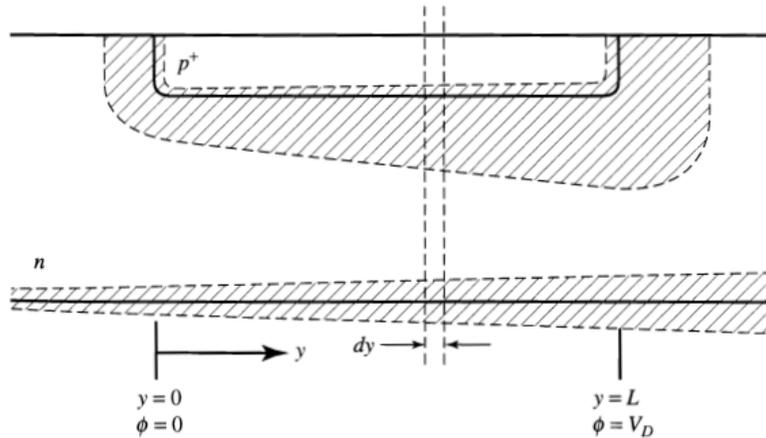
$$I_D = G_0 \left(1 - \sqrt{\frac{2 \epsilon_{Si}}{q N_d t^2} (\phi_B - V_G)} \right) V_{DS}$$

$$G_0 = \frac{W}{L} q \mu_n N_d t$$

Para tensiones pequeñas de V_{DS} el JFET se comporta como una resistencia cuya resistividad está controlada por V_G .

2. Modo no lineal y saturacion de I_D

Si V_{DS} no es pequeña, I_D crece, y el potencial a lo largo del canal no será constante y $x_w = f(y)$:



La caída de tensión en cada lugar del canal será:

$$d\phi = I_D dR = \frac{I_D dy}{W q \mu_n N_d (t - x_d(y))}$$

Luego:

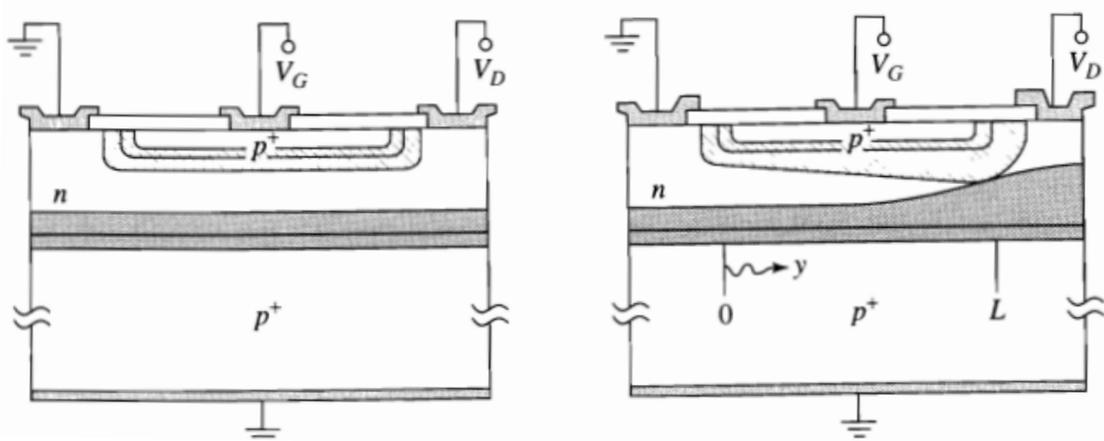
$$x_d(y) = \sqrt{\frac{2 \epsilon_{Si}}{q N_d} (\phi_B - V_{GS} + \phi(y))}$$

Dónde hemos asumido que la tensión de Gate se referencia al terminal de Source.

Reemplazando x_d e integrando queda:

$$I_D = G_0 \left(V_{DS} - \frac{2}{3} \left(\frac{2 \epsilon_{Si}}{q N_d t^2} \right)^{1/2} \left[(\phi_B - V_{GS} + V_{DS})^{3/2} - (\phi_B - V_{GS})^{3/2} \right] \right)$$

Por otro lado, si la caída de tensión es lo suficientemente grande, puede ser que en $y = L$ se alcance $x_w = 0$, es decir:



Lo cual puede expresarse matemáticamente como:

$$x_d(y = L) = t \sqrt{\frac{2 \epsilon_{Si}}{q N_d} (\phi_B - V_{GS} + V_{DS})} = t$$

En esta situación diremos que $V_{DS} = V_{DS(sat)}$, luego:

$$V_{DS(sat)} = \frac{q N_d t^2}{2 \epsilon_{Si}} - (\phi_B - V_{GS})$$

Debido al pinch-off del canal, la corriente de Drain satura. Reemplazando $V_{DS(sat)}$ en la expresión de la corriente obtenemos:

$$I_{D(sat)} = G_0 \left[\frac{q N_d t^2}{6 \epsilon_{Si}} - (\phi_B - V_{GS}) \left(1 - \frac{2}{3} \sqrt{\frac{2 \epsilon_{Si} (\phi_B - V_{GS})}{q N_d t^2}} \right) \right]$$

Por otro lado si la magnitud de V_{GS} es suficientemente grande la SCR se extiende a lo largo de todo el alto del canal ($x_d = t$ para todo y) y la corriente se anula. Esto ocurre cuando:

$$V_{GS} = V_P = \phi_B - \frac{q N_d t^2}{2 \epsilon_{Si}}$$

V_P : es la tensión umbral. Por lo tanto para que haya conducción debe cumplirse que

$$V_P < V_{GS} < 0$$

Luego se observa que

$$V_{DS(sat)} = V_{GS} - V_P > 0$$

3. Expresión simplificada de la corriente del canal

En la práctica se utilizan expresiones simplificadas para la corriente de Drain. Linealizando en polinomio de Taylor en orden 2 alrededor de $V_{GS} = V_P$, se llega al siguiente conjunto de de ecuaciones:

- En saturación con $V_P < V_{GS} < 0$ y $V_{DS} > V_{GS} - V_P$:

$$I_D = I_{Dss} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

- En triodo con $V_P < V_{GS} < 0$ y $V_{DS} < V_{GS} - V_P$:

$$I_D = I_{Dss} \left(2 \left(1 - \frac{V_{GS}}{V_P} \right) \left(-\frac{V_{DS}}{V_P} \right) - \left(\frac{V_{DS}}{V_P} \right)^2 \right)$$

$$I_D = \frac{2 I_{Dss}}{V_P^2} \left(V_{GS} - V_P - \frac{V_{DS}}{2} \right) V_{DS}$$

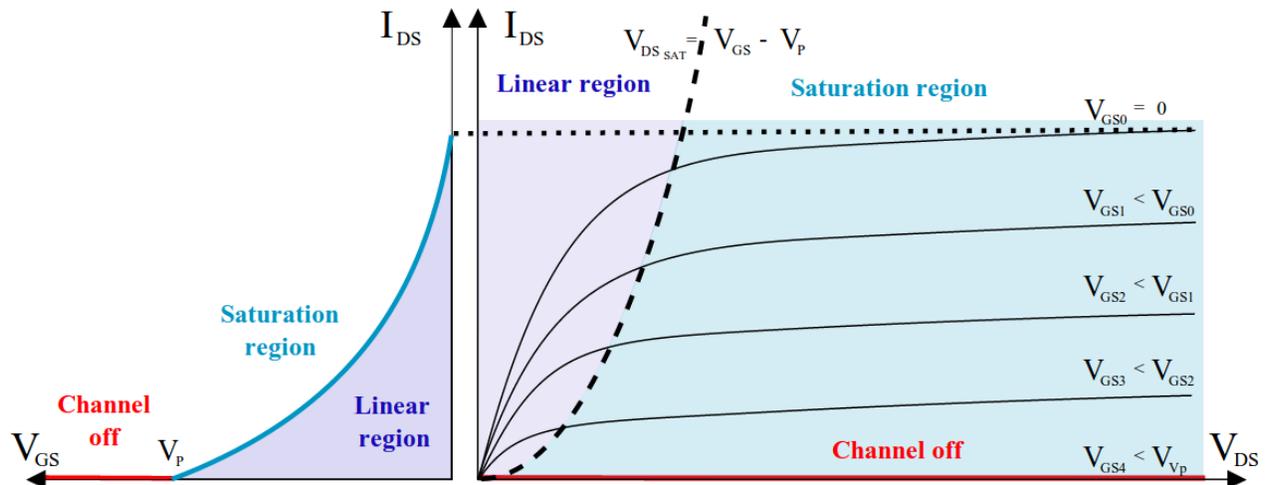
Donde

$$I_{Dss} = \frac{G_0 V_P^2}{4(\phi_B - V_P)} = \frac{1}{2} \mu \frac{\epsilon_{Si}}{t} \frac{W}{L} V_P^2$$

Considerando el Efecto de Modulación del Largo del Canal:

$$I_D = I_{Dss} \left(1 - \frac{V_{GS}}{V_P} \right)^2 (1 + \lambda V_{DS})$$

Curvas características para un JFET canal n:



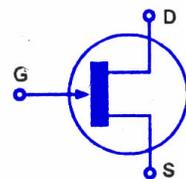
La tensión V_P es negativa. En conducción $V_P < V_{GS} < 0$ por lo tanto $V_{DS(sat)} = V_{GS} - V_P > 0$.

□ SÍMBOLOS

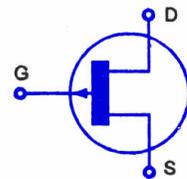
La convención para los nombres de los terminales es igual que para el MOSFET.

- Canal N: el Drain está a mayor potencial que el Source.
- Canal P: el Drain está a menor potencial que el Source.

Además la tensión de polarización debe asegurar que la juntura de Gate esté en inversa en todo momento.

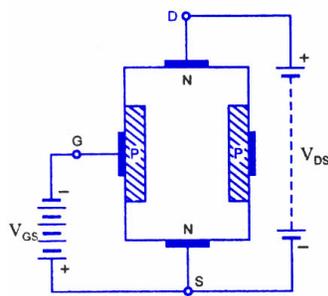


N-Channel JFET

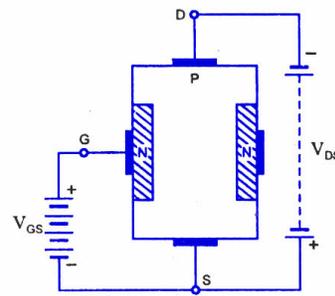


P-Channel JFET

Schematic Symbols For JFETs



N-Channel JFET



P-Channel JFET

Polarity Conventions For JFETs

4. Modelo de pequeña señal

El modelo de pequeña señal del JFET es útil en régimen de saturación.

□ Transconductancia

$$g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q$$

$$g_m = -\frac{2 I_{Dss}}{V_P} \left(1 - \frac{V_{GS}}{V_P} \right)$$

□ Resistencia de salida

$$r_o^{-1} = \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q = \lambda I_{Dss} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

luego considerando la expresión de I_D , puede escribirse:

$$r_o = \frac{1}{\lambda I_D}$$

□ Efectos capacitivos

Las capacidades presentes en el JFET son debido a las junturas PN polarizadas en inversa y pueden modelizarse con las siguientes expresiones:

$$C_{gs} = \frac{C_{gso}}{\sqrt{1 + \frac{V_{GS}}{\phi_0}}}$$

$$C_{gd} = \frac{C_{gdo}}{\sqrt{1 + \frac{V_{GD}}{\phi_0}}}$$

En caso de los dispositivos fabricados con tecnología planar (para integración monolítica) existe además una capacidad entre el gate y el sustrato:

$$C_{gss} = \frac{C_{gss0}}{\sqrt{1 + \frac{V_{GSS}}{\phi_0}}}$$

□ Circuito equivalente de pequeña señal

